

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-244035

(43)Date of publication of application : 03.12.1985

(51)Int.Cl.

H01L 21/60

(21)Application number : 59-099228

(71)Applicant : TOSHIBA CORP.

(22)Date of filing : 17.05.1984

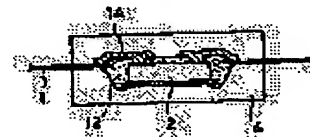
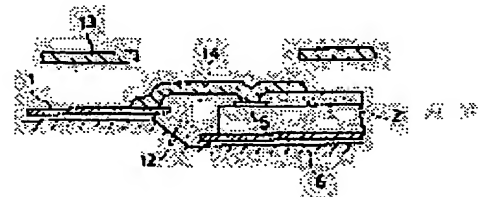
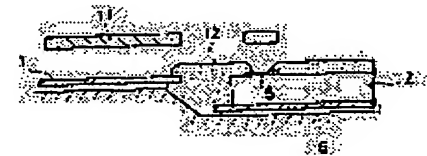
(72)Inventor : NAKAGAKI MASARU

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To contrive accomplishment of speeding up of assembling process of an IC by a method wherein an insulator having elasticity is formed between a lead frame and a chip, and a wiring layer is formed thereon.

CONSTITUTION: A gel-formed insulating material 12 is coated by performing a spraying method and the like using a mask 11. For example, silicon rubber and the like can be used as the insulating material 12 in the rubber-like state formed by applying heat and the like. Then, a wiring layer is formed by coating a conductive material 14 by performing a spraying method and the like using a mask 13 so that a pad 5 and a lead frame 1 are connected to the insulating material 12. Rubber resin whereon a conductive material such as silver can be used as the wiring layer 14. As a result, the generation of a non-contact part which looks like as if it is floating in the air can be prevented, and there is no possibility of occurring a wire slipping and the like, thereby enabling to increase the flowing- in speed of resin 4 when a sealing work is performed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

⑫ 公開特許公報(A)

昭60-244035

⑬ Int.Cl.⁴
H 01 L 21/60識別記号 庁内整理番号
6732-5F

⑭ 公開 昭和60年(1985)12月3日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭59-99228

⑰ 出 願 昭59(1984)5月17日

⑱ 発 明 者 中 垣 勝 川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内
⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
⑳ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) マスキングにより、リードフレームとチップとの間に絶縁物を塗布により形成し、該絶縁物上に前記チップのパッドと前記リードフレームが接続されるように導電性を有する配線層を塗布により形成したことを特徴とする半導体装置の製造方法。

(2) 前記絶縁物の塗布は、吹き付け可能な絶縁物を吹き付けることにより行なうものであることを特徴とする特許請求の範囲第1項に記載の半導体装置の製造方法。

(3) 前記配線層の塗布は、吹き付け可能な導電物を吹き付けることにより行なうものであることを特徴とする特許請求の範囲第1項に記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は半導体装置の製造方法に係わり、特にIC(集積回路)アセンブリ工程のワイヤボンディング方法に関する。

〔発明の技術的背景とその問題点〕

従来のワイヤボンディングは、プラスチックICを例とすると、第1図に示すようにリードフレーム1、チップ2間を金属ワイヤ3でボンディングし、その後第2図に示すように樹脂4で封止するものであった。図中5はボンディングパッド、6はボンディング台である。

しかしながら上記従来のワイヤボンディング方法では、リードフレーム1とチップ2の接続に金属ワイヤ3を使用するが、ボンディングパッド5のサイズ、コストの面でワイヤ3を太くできず、この部分が弱くなる。また樹脂4で封止する際、ワイヤ3がリードフレーム1側とチップ2側の両端以外はどこにも非接触なため、樹脂にワイヤ3が流される。このため樹脂4の封止速度が遅くなる。またワイヤ3に金属を使用するため、ボンディング速度に限度があり、

また1本ずつ行なうため、多ピン(端子)になればなるほど生産性が劣るものであった。また温度サイクルテストの際、樹脂4の伸縮を直接ペレット2、ワイヤ3に受けるので、そのダメージによりワイヤ切れ、ペレットクラック等を起こしやすいものであった。

〔発明の目的〕

本発明は上記実情に鑑みてなされたもので、ICのアセンブリ工程のスピードアップを図り、かつその信頼性を高めることができる半導体装置の製造方法を提供しようとするものである。

〔発明の概要〕

本発明は上記目的を達成するため、マスキングにより、リードフレームとチップとの間に弾性を有する絶縁物を塗布により形成し、該絶縁物上に前記チップのパッドと前記リードフレームが接続されるように導電性を有する配線層を塗布により形成したものである。

〔発明の実施例〕

以下図面を参照して本発明の一実施例を説明

-3-

対し能率がよい。また配線14に、宙に浮いたような非接触な個所がないため、従来のようにワイヤ流れ等が生じる心配がなく、封止の際樹脂4の流入速度を速くできる。またチップ2上及び周りに、弾性を有する絶縁物12を設けるため樹脂4からのダメージが少なく、大型チップのクラックに対し有効である。

第6図は本発明の他の実施例で、時計、電卓用パッケージに本発明を応用したものである。これはプリント配線21を施したガラスエポキシ基板22上に、前実施例の構成を設けたものであるから、同一個所には同一符号を付して説明を省略する。

〔発明の効果〕

以上説明した如く本発明によれば、ICのアセンブリ工程のスピードアップ化を図り、かつその信頼性を高めることができるものである。

4. 図面の簡単な説明

第1図、第2図は従来のICのアセンブリ工程図、第3図ないし第5図は本発明の一実施例の

-5-

図。第3図～第5図は同実施例の工程説明図であるが、これは構成を前記従来のものと対応させた場合の例であるから、対応個所には同一符号を用いる。第3図に示されるようにマスク11でリードフレーム1及びチップ2のパッド5をマスクし、ゲル状の絶縁物12を吹き付け等により塗布する。この絶縁物12については、例えばJCR等シリコンゴムを使用できる。次に絶縁物12を加熱等によりゴム状に硬化させる。次に第4図に示すように配線になり得る部分以外にマスク13を施し、導電物14を吹き付け等により塗布し、絶縁物12上にパッド5とリードフレーム1が接続されるように配線層を形成する。上記導電物(配線層)14については、例えばゴム系樹脂に銀などの導電体を添加したものを使用できる。次に第5図に示す如く樹脂4により封止を行なうものである。

上記の如き工程によれば、マスク塗布により、全ピン(端子)同時に配線でき、配線14のプリント化を行なったため、特に多ピンのICに

-4-

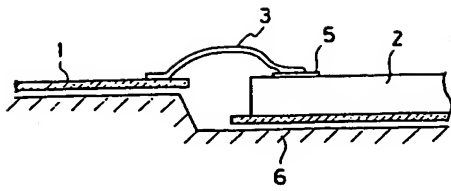
工程説明図、第6図は本発明の他の実施例の説明図である。

1…リードフレーム、2…チップ、4…樹脂、5…パッド、11、13…マスク、12…絶縁物、14…配線層。

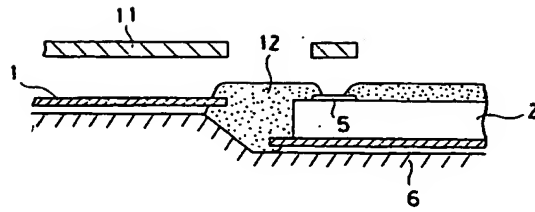
出願人代理人 弁理士 鈴 江 武 彦

-6-

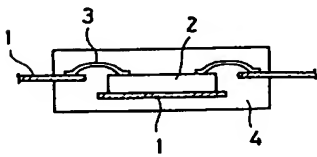
第 1 図



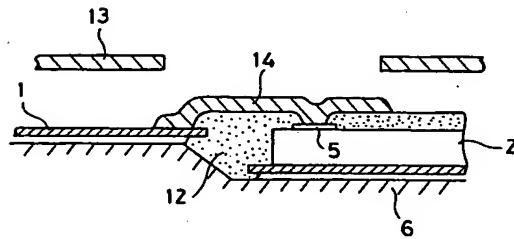
第 3 図



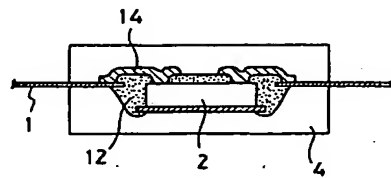
第 2 図



第 4 図



第 5 図



第 6 図

